

IDS P15 item # 2

PAT-NO: JP409036504A

DOCUMENT-IDENTIFIER: JP 09036504 A

TITLE: WIRING STRUCTURE OF SIGNAL TRANSMITTING LINE OF
PRINTED
BOARD

PUBN-DATE: February 7, 1997

INVENTOR-INFORMATION:
NAME
KOBAYASHI, TAKESHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP07183881

APPL-DATE: July 20, 1995

INT-CL (IPC): H05K001/02

ABSTRACT:

PROBLEM TO BE SOLVED: To variably control the value of the specific impedance of a signal transmitting line and also to control the specific impedance at an arbitrary value using a common printed board by a method wherein a plurality of cut out parts are arranged on the power source solid layer located directly under the wiring pattern of a signal transmitting line and a ground solid layer.

SOLUTION: A plurality of cut parts 2 are positioned directly under a signal line 3, and the rectangular cut parts of 2.L<SB>1</SB> in longitudinal length,

at right angle to the travelling direction of the wiring pattern of the signal line 3, are provided at the arrangement interval L_3 in the travelling direction of the wiring in the amount of the length of the wiring pattern on which the characteristic impedance of the signal line 3 is required. Accordingly, the signal line 3 is alternately present on the section where a power source layer 1 is present directly under the travelling direction of the wiring pattern and on the section where the power source layer is present directly under it.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36504

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl.⁸

H05K 1/02

識別記号

庁内整理番号

F I

H05K 1/02

技術表示箇所

N
C
P

審査請求 未請求 請求項の数4 O L (全7頁)

(21) 出願番号 特願平7-183881

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小林 剛

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

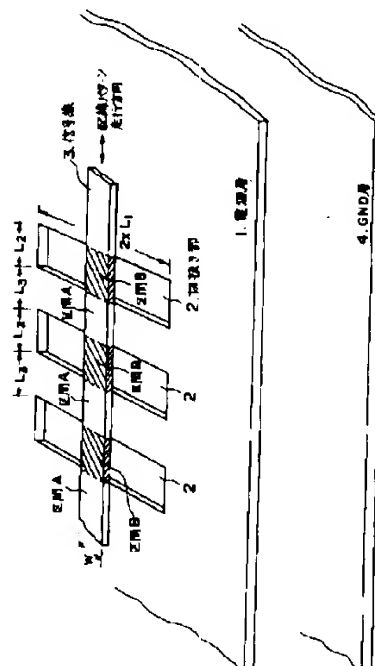
(74) 代理人 弁理士 佐々木 宗治 (外3名)

(54) 【発明の名称】 プリント基板の信号伝送線路の配線構造

(57) 【要約】

【課題】 共通のプリント基板を用いて、仕様に応じて信号伝送線路の特性インピーダンスを任意な値に、例えば50〜70Ωとしたり、または100Ωとしたり可変制御できるプリント基板の信号伝送線路の配線構造。

【解決手段】 プリント基板の基板平面全面に電源ベタ層1又はグラウンドベタ層4を有するプリント基板の信号伝送線路3の配線構造において、前記信号伝送線路3の配線パターン8の真下に位置する前記電源ベタ層1又はグラウンドベタ層4の部分に、所定の形状及び大きさの切抜き部2を所定の間隔13で複数個配列することにより、前記信号伝送線路3の特性インピーダンスの値を可変制御するプリント基板の信号伝送線路の配線構造。



本発明に係る多層プリント基板の信号伝送線路の配線構造を示す断面図

【特許請求の範囲】

【請求項1】 プリント基板の基板平面全面に電源ベタ層又はグラウンドベタ層を有するプリント基板の信号伝送線路の配線構造において、

前記信号伝送線路の配線パターンの真下に位置する前記電源ベタ層又はグラウンドベタ層の部分に、所定の形状及び大きさの切抜き部を所定の間隔で複数個配列することにより、前記信号伝送線路の特性インピーダンスの値を可変制御することを特徴とするプリント基板の信号伝送線路の配線構造

【請求項2】 多層プリント基板内の基板平面全面に電源ベタ層及びグラウンドベタ層を有するプリント基板の信号伝送線路の配線構造において

前記信号伝送線路の配線パターンの真下に位置する前記電源ベタ層又はグラウンドベタ層の部分に、所定の形状及び大きさの切抜き部を所定の間隔で複数個配列することにより、前記信号伝送線路の特性インピーダンスの値を可変制御することを特徴とするプリント基板の信号伝送線路の配線構造

【請求項3】 前記電源ベタ層又はグラウンドベタ層に設ける切抜き部は、前記信号伝送線路の配線パターンの走行方向と直角にその長手方向を有する短冊形状とし、該短冊形状の長手方向は前記信号伝送線路の配線パターン幅の上下に所定の長さ l をそれぞれ加算した長さとし、前記短冊形状の幅及びその配列間隔を前記所定の長さ l とすることを特徴とする請求項1又は請求項2記載の信号伝送線路の配線構造。

【請求項4】 前記切抜き部を形成する短冊形状の幅及びその配列間隔並びに信号伝送線路の配線パターン幅の上下にそれぞれ加算する所定の長さ l を1センチメートル×30

$$\epsilon_{re} = -\frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \cdot \sqrt{\frac{1}{1 - \frac{10h}{w}}} \quad \dots (1)$$

【0005】

※ ※【数2】

$$C = \frac{2\pi \cdot \epsilon_{re} \cdot \epsilon_0}{\ln \left(\frac{5.98h}{0.8w + t} \right)} \quad (F/m) \quad \dots (2)$$

【0006】

★40★【数3】

$$L = \frac{\mu_0}{2\pi} \cdot \ln \left(\frac{5.98h}{0.8w + t} \right) \quad (H/m) \quad \dots (3)$$

【0007】また前記式(2)、(3)で求めた分布容量 C と分布インダクタンス L の値を用いて、プリントパターン化された信号線3の特性インピーダンス Z_0 は次の式(4)で、また信号線3の単位距離当りの信号遅延時間 T_d は次の式(5)で求めることができる。

【0008】

【数4】

☆50

※とすることを特徴とする請求項3記載の信号伝送線路の配線構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば両面プリント基板や多層プリント基板のように、プリント基板の基板平面全面に電源ベタ層又はグラウンドベタ層を有するプリント基板の信号伝送線路の配線構造に関するものである。

10 【0002】

【従来の技術】図4は多層プリント基板の断面構造を示す図であり、図の1は基板内の基板平面全面に設けられた電源層で、一般に電源ベタ層という。3はパターン化された信号線。4は基板内の基板平面全面に設けられたグラウンド（一般にGNDと書す）層で、一般にGNDベタ層という。5は信号線3、電源層1、GND層4の間をそれぞれ電気的に絶縁する誘電体である。近年、パーソナルコンピュータ等では、図4に示すような多層プリント基板がよく使用されている。

20 【0003】図4において、信号線3のパターン幅を w 、その厚さを t 、信号線3と電源層1との間の誘電体5の厚さを h 、誘電体5の真空中の誘電率を ϵ_0 （この例では $8.5 \times 10^{-12} F/m$ ）、その真空中の透磁率を μ_0 （この例では $4\pi \times 10^{-7} H/m$ ）とすると、信号線3と電源層1との間の誘電体5の実効比誘電率 ϵ_{re} は次の式(1)で、信号線3と電源層1との間の分布容量 C は次の式(2)で、信号線3の分布インダクタンス L は次の式(3)でそれぞれ表すことができる。

【0004】

【数1】

$$\epsilon_{re} = -\frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \cdot \sqrt{\frac{1}{1 - \frac{10h}{w}}} \quad \dots (1)$$

※ ※【数2】

$$C = \frac{2\pi \cdot \epsilon_{re} \cdot \epsilon_0}{\ln \left(\frac{5.98h}{0.8w + t} \right)} \quad (F/m) \quad \dots (2)$$

★40★【数3】

$$L = \frac{\mu_0}{2\pi} \cdot \ln \left(\frac{5.98h}{0.8w + t} \right) \quad (H/m) \quad \dots (3)$$

☆

$$Z_0 = \sqrt{\frac{L}{C}} \quad \dots (4)$$

【0009】

【数5】

$$T_d = \sqrt{L \cdot C} \quad \dots (5)$$

【0010】そして市販のパーソナルコンピュータ等の外部機器とのインターフェイス回路における信号線3の特性インピーダンスは、通常50〜70Ωとする場合が多いが、仕様等で他の値の特性インピーダンスを求められることもあった。例えば、ANSI X3.131-1986により規格化されているSCSI (Small Computer System Interface) 規格の適用される18本の信号線については、特性インピーダンスを100Ω、100Ω以内に設計する必要があった。

【0011】

【発明が解決しようとする課題】当初、50〜70Ωの特性インピーダンスとしてプリントパターン化された信号線のインピーダンスを100Ω程度まで変更させる従来の手法は、まず信号線のパターン幅 w を小さくすることであるが、現在の高密度実装されるプリント基板のパターン幅は十分に細くなっており、100Ωの特性インピーダンスを実現するには、製造可能な限界を越えて細くしなければならぬという問題があった。また特性インピーダンスの値を増加させる別の手法としては、多層プリント基板における誘電体5の厚さ h を大きくすることであるが、50〜70Ω用と100Ω用とに厚さの異なる2種類の多層プリント基板を使用するのはきわめて不経済である。また100Ω用の多層プリント基板を用いて50〜70Ωの信号線に変更するためには、信号線のパターン幅を太くする必要があり、配線密度が低下するという問題があった。

【0012】従って共通のプリント基板を用いて、仕様に応じて、プリントパターン化された信号伝送線路の特性インピーダンスを50〜70Ωとしたり、または100Ωとしたり可変制御できるプリント基板の信号伝送線路の配線構造が求められていた。

【0013】

【課題を解決するための手段】本発明に係るプリント基板の信号伝送線路の配線構造は、プリント基板の基板平面上面に電源バク層又はグラウンドバク層を有するプリント基板の信号伝送線路の配線構造において、前記信号伝送線路の配線パターンの真下に位置する前記電源バク層又はグラウンドバク層の部分に、所定の形状及び大きさの切抜き部を所定の間隔で複数個配列することにより、前記信号伝送線路の特性インピーダンスの値を可変制御することができるものである。従って共通のプリント基板を用いて、仕様に応じて、プリントパターン化された信号伝送線路の特性インピーダンスを任意の値に、例えば50〜70Ωとすることも、また100Ωとすることも可能となった。

【0014】

【発明の実施の形態】図1は本発明に係る多層プリント基板の信号伝送線路の配線構成を示す斜視図である。図1において、1は図4に示した多層プリント基板内の電

源層、2は所定の形状・大きさ及び間隔により信号線3の真下に位置する電源層1内の一部を切抜いた複数個の切抜き部、3はパターン化された信号線、4は基板内のGND層であり、図1の誘電体5の図示は省略してある。図1における前記複数個の切抜き部2は、それぞれ信号線3の真下に位置し、信号線3の配線パターン（走行方向と直角方向にその長手方向の長さ $2 \cdot L_1$ （この例では2cm）、幅 L_1 （この例では1cm）の短冊形の切抜き部を、配列間隔 L_2 （この例では1cm）で信号線3の特性インピーダンスの制御を要する配線パターン（長さ分だけその走行方向に設けられる、従って信号線3は、その配線パターンの走行方向に、真下に電源層1の存在する区間（これを区間Aと称する）と、真下に電源層1の存在しない区間（これを区間Bと称し、図1のハッチングされた区間である）とが交互に存在することになる。

【0015】図2は図1の信号線3の区間A、Bにおける分布容量を説明する図であり、両区間における多層プリント基板の断面構造を示している。図2の（a）及び（b）において、信号線3のパターン幅 w は0.13mm、そのパターン厚さ t は35 μ m、信号線3と電源層1との間隔は0.2mm、信号線3とGND層4との間隔は1.25mm、比導電率 ϵ_r は4〜8として、前記式（1）〜（5）を用いて、両区間におけるそれぞれの値を算出してみた。

【0016】図2の（a）に示される区間Aにおいて、信号線3の真下には電源層1が存在するので、信号線3と電源層1との分布容量 C_A と分布インダクタンス L_A は、それぞれ $C_A = 0.866 \text{ pF/cm}$ 、 $L_A = 4.3 \text{ nH/cm}$ となり、また特性インピーダンス Z_{0A} と信号遅延時間 T_{dA} は、それぞれ $Z_{0A} = 70 \Omega$ 、 $T_{dA} = 0.061 \text{ nS/cm}$ となる。なおここで、電源層1とGND層4とは、対向する2つの電極で、その間に誘電体5を有するコンデンサと考えられるから、大きな分布容量 C_0 （通常 C_0 の100倍以上の容量）を有する。そして2つの分布容量 C_A と C_0 とは直列結合されてGND層4に接続されているので、信号線3とGND層4との間の分布容量もほぼ C_0 と等しい。また伝送する交流信号に対しては電源層1とGND層4とは、ほぼ同電位とみなせるので、GND層4に対する分布インダクタンスもほぼ L_A と等しい。

【0017】図2の（b）に示される区間Bにおいて、信号線3の真下には電源層1は存在せず、また切抜き部2の長手方向の長さ $2 \cdot L_1$ は、この長さ方向において信号線3と電源層1との間で容量結合が生じにくいようにこの例では2cmとしている。従って信号線3の分布容量 C_B と分布インダクタンス L_B は、GND層4との間で求めればよく、前記式（1）〜（5）の計算結果は、 $C_B = C_0 = 4.3 \text{ pF/cm}$ 、 $L_B = 7.95 \text{ nH/cm}$ 、特性インピーダンス Z_{0B} と信号遅延時間 T_{dB}

ab は、それぞれ $Z_{05}=135, 97\Omega$ 、 $T_{ab}=0.058nS$ となる。従ってこの例においては、信号線3は、その区間A、B毎に、特性インピーダンスが 70Ω 、 136Ω と交互に変化し、また信号遅延時間が $0.061nS$ 、 $0.058nS$ と交互に変化する。

【0018】ここで前記SCSI規格では、伝送信号の立上り時間 t_r の最小でも $2nS$ 程度であり、この立上り時間 t_r と比較して、前記区間A、Bの信号遅延時間 $0.061nS$ 、 $0.058nS$ はきわめて小さく、この大小関係が成立されている場合には、信号線3の区間A、Bの間の特性インピーダンスの不整合は生じない。従って信号線3は、区間AとBを合成した特性インピーダンスが一様に連続しているものとみなすことが可能であり、この合成した特性インピーダンス $Z_{0A,B}$ は次の式(6)によって算出することができる。

【0019】

【数6】

$$Z_{0A,B} = \sqrt{\frac{L_A + L_B}{C_A + C_B}} \quad \dots (6)$$

【0020】この例においては、 $Z_{0A,B}$ は 97.2Ω となり、SCSIの規格である $100\Omega \pm 10\%$ 以内に特性インピーダンスを制御することができたことになる。また図1の多層プリント基板を用いて、信号伝送路の特性インピーダンスを $50 \sim 70\Omega$ にしたい場合には、電源層1における切抜き部2を廃止し、基板平面全面を電源層1のベタ領域に変更すればよいので、特性インピーダンスの変更はきわめて容易である。

【0021】図3は本発明に係るプリント基板の信号伝送路の配線構造の実施形態を示す図であり、信号線と電源層1の切抜き部2とを真上からみた図である。図3において、31～38は#1～#18信号線、50はSCSI用LSIであり、内部に信号の送信の可能な双方向性コネクタ71～78を含んでいる。70は外部接続用コネクタで、内部に接続端子71～78を含んでいる。

【0022】前記SCSI規格によれば、信号線の本数は18本であり、通常外部接続用コネクタ70からSCSI用LSI50までの配線長は $20cm$ 以内となっている（但し例外的に $20cm$ 以上の場合もある）。そしてこの信号線の特性インピーダンスが $100\Omega \pm 10\%$ 以内と規定されている。そこで図3の実施形態においては、この18本の信号線のパターン配線を所定間隔（例えば各パターン配線の中心間隔が $0.31mm$ ）で、外部接続用コネクタ70とSCSI用LSI50との間を並列に配線し、この18本の信号線に対して共通の切抜き部2を複数個設けるようにした。

【0023】いま、18本の信号線のパターン配線幅Dに前記間隔例により $0.31mm \times 17 = 5.27mm$ を要するとすると、図3における切抜き部2は、前記

パターン配線幅Dの上下にそれぞれ長さL（この例では $1cm$ ）を加えた長さ（この例では $5.27cm$ ）をその長手方向（図の上下方向）の長さとし、前記L₁（この例では $1cm$ ）をその幅方向（図の左右方向）の長さとし、前記L₂（この例では $1cm$ ）をその配列間隔とした。上記の例のように、いま短冊形状の切抜き部2の幅 $L_1 = 1cm$ 、その配置間隔 $L_2 = 1cm$ とし、また外部接続コネクタ70からSCSI用LSI50までの信号線のパターン配線長を約 $20cm$ とすれば、切抜き部2は10個設ければよいことになる。

【0024】ここで前記短冊形の切抜き部2の幅 L_1 とその配置間隔 L_2 の設定法について説明する。まず幅の L_1 については、図1の斜視図を参照し、この L_1 をやり小さくすると、信号線3の区間Bと電源層1との間に容量結合が生じ、切抜き部2を設けた効果が少なくなる。換言すると信号線3の区間AとBの特性インピーダンス Z_{0A} と Z_{0B} の差が小さくなる。反対にこの L_1 をやり大きくすると、区間AとBにおける信号遅延時間 T_{dA} と T_{dB} との差が大きくなり、その境界面で特性インピーダンスの不整合が生じ信号伝送上好ましくない。従って切抜き部2の幅 L_1 は、信号線3の区間Bと電源層1との間の容量結合量を小さくして、区間Bにおける信号線の特性インピーダンスを所望値にすると共に、区間AとBとの信号遅延時間の差がやり大きくなるようにして、この例では $L_1 = 1cm$ とした。

【0025】次に切抜き部2の長手方向の長さ $2 \times L_2$ （図1の例）、または $2 \times L_1 + D$ （図3の例）における L_2 について説明する。まず図2の（b）の例においては、信号線3は1本のみで、そのパターン幅 w は $0.12mm$ であり、 $2 \times L_2 = 1w$ （この例では $2 \times 1.2cm$ ）は近似的に $2 \times L_1$ （この例では $2cm$ ）と等しいとみなして、上記長手方向の長さを $2 \times L_1$ とした。しかし図3のように信号線3の本数が増加し、そのパターン配線幅Dも無視できない値の場合には、このパターン配線幅Dの上下にそれぞれ L_2 （この例では $1cm$ ）の長さを加え、長手方向の長さを $2 \times L_1 + D$ とした。上記 L_2 の設定法は、図2の（b）を参照し、信号線3の区間Bと電源層1との間の容量結合を可及的に小さくして、区間AとBとの間の特性インピーダンスの変化が所望値となるようにするものとし、この例では $L_2 = 1cm$ とした。

【0026】図1においては、プリント基板が多層プリント基板の場合における信号線の特性インピーダンスの制御例を示したが、本発明はこの多層プリント基板のみに限定されるものではない。例えば通常の両面プリント基板の一方の面をGNDベタ層又は電源ベタ層として、他方の面に信号線の配線パターンを設ける場合にも、この基板の一方の面の信号線配線パターンの真下に位置する他方の面のGNDベタ層又は電源ベタ層の一部に複数の切抜き部を設けて、同様に信号線の特性インピーダンス

を制御することができる。

【0027】

【発明の効果】以上のように本発明によればプリント基板の基板平面全面に電源ベタ層又はグラウンドベタ層を有するプリント基板の信号伝送線路の配線構造において、前記信号伝送線路の配線パターンとの真下に位置する前記電源ベタ層又はグラウンドベタ層の部分に、所定の形状及び大きさの切抜き部を所定の間隔で複数個配列することにより、前記信号伝送線路の特性インピーダンスの値を可変制御するようにしたので、共通のプリント基板を用いて、仕様に応じて、プリントパターン化された信号伝送線路の特性インピーダンスの値を任意の値に、例えば50〜70Ωとすることも、また100Ωとすることもできるという効果が得られる。

【図面の簡単な説明】

【141】本発明に係る多層プリント基板の信号伝送線路の配線構造を示す斜視図である。

【142】図1の信号線3の区間A、Bにおける分布容量を説明する図である。

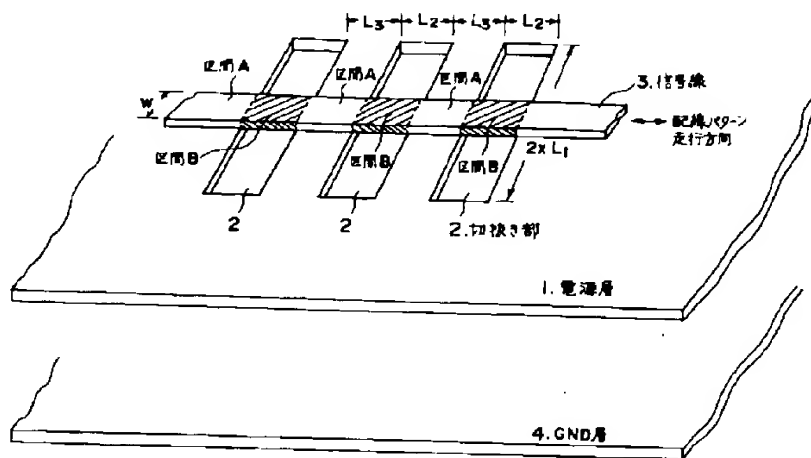
【143】本発明に係るプリント基板の信号伝送線路の配線構造の実施形態を示す図である。

【144】多層プリント基板の断面構造を示す図である。

【符号の説明】

- 10 1 電源層
- 2 切抜き部
- 3 信号線
- 4 GND層

【図1】



本発明に係る多層プリント基板の信号伝送線路の配線構造を示す斜視図

【図2】

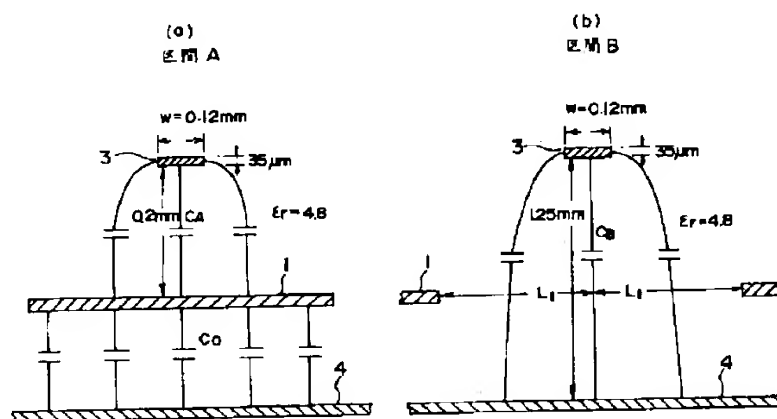
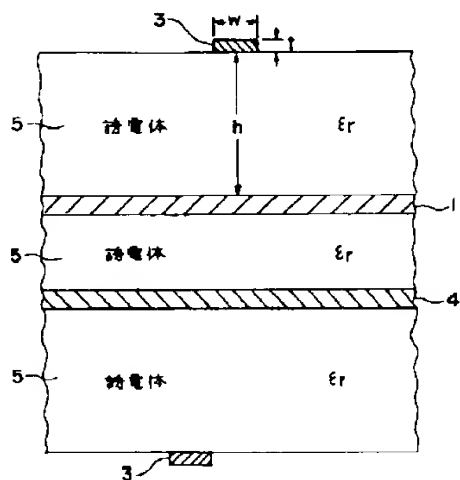


図1の信号線3の区間A、Bにおける分布容量を説明する図

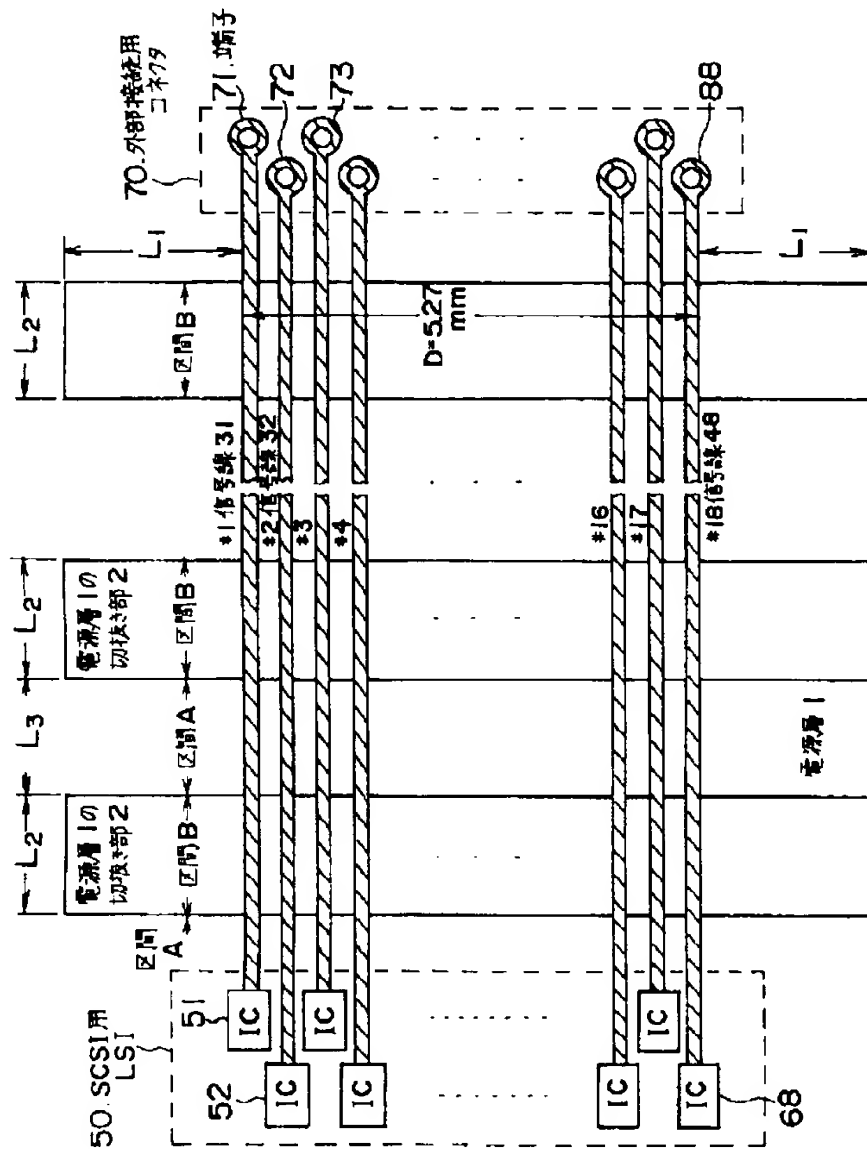
【図4】



w : パターン幅
 t : パターン厚さ
 h : 誘電体厚さ
 ϵ_r : 比誘電率

多層プリント基板の断面構造を示す図

【図3】



本発明に係るプリント基板の信号伝送線路の配線構造の実施形態を示す図